

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-168223

(43)Date of publication of application : 22.06.2001

(51)Int.Cl.

H01L 23/12

(21)Application number : 11-348146

(71)Applicant : FUJITSU LTD

(22)Date of filing : 07.12.1999

(72)Inventor : IKEMOTO YOSHIHIKO
ABE MITSUO
KATO SADATANE
HOSOYAMADA SUMIKAZU

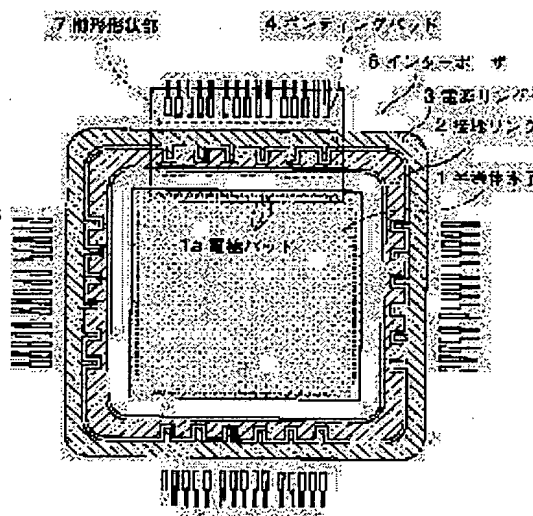
(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device for increasing the influence of simultaneous switching noise or the like by increasing the decoupling capacitor between ground and power supply rings.

SOLUTION: A ground ring 2 and a power supply ring 3 are formed around a semiconductor component 1 on an interposer 6. A plurality of protrusions 3a protruding toward the ground ring 2 are provided at the power supply ring 3. The ground ring 2 is provided with a recess 2a for receiving the protrusions 3a at a predetermined distance.

本発明の第1の実施の形態による半導体装置の構成例を示す平面図



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-168223 ✓

(P2001-168223A)

(43)公開日 平成13年6月22日(2001.6.22)

(51)Int.Cl.⁷

H 0 1 L 23/12

識別記号

F I

H 0 1 L 23/12

テーマコード(参考)

F

審査請求 未請求 請求項の数6 O L (全 9 頁)

(21)出願番号 特願平11-348146

(22)出願日 平成11年12月7日(1999.12.7)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 池元 義彦

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 阿部 光夫

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 100070150

弁理士 伊東 忠彦

最終頁に続く

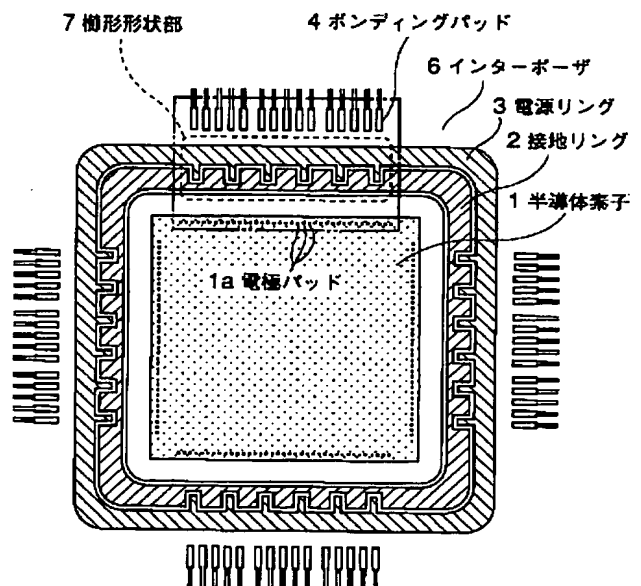
(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 本発明は接地リングと電源リング間のデカップリング容量を増大して、同時スイッチングノイズ等の影響を減少した半導体装置を提供することを目的とする。

【解決手段】 インターポーザ6上の半導体素子1の周囲に接地リング2及び電源リング3を形成する。電源リング3に接地リング2に向かって突出した複数の凸部3aを設ける。接地リング2には、凸部3aを所定距離離間した状態で受容する凹部2aを設ける。

本発明の第1の実施の形態による半導体装置の接地リングと電源リングを示す平面図



【特許請求の範囲】

【請求項 1】 半導体素子と、

該半導体素子が搭載された再配線基板と、
該再配線基板上で前記半導体素子の周囲に設けられた接地パターン及び電源パターンとよりなり、
前記接地パターンと前記電源パターンの一方は他方に向かって突出した複数の凸部を有し、前記接地パターンと前記電源パターンの他方は前記突出部の各々を所定距離間隔した状態で受容する凹部を有することを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置であって、
前記接地パターンと前記電源パターンとの各々は前記半導体素子を包囲するように形成され、前記再配線基板のボンディングパッドは前記接地パターンと前記電源パターンに関して前記半導体素子の反対側に配列され、前記凸部及び前記凹部は前記半導体素子の電極パッドと前記再配線基板のボンディングパッドとの間に設けられることを特徴とする半導体装置。

【請求項 3】 請求項 2 記載の半導体装置であって、
前記接地パターンと前記電源パターンのうち、前記再配線基板のボンディングパッドに近接した一方は、隣接した前記ボンディングパッドの間に延出するシールド部を有することを特徴とする半導体装置。

【請求項 4】 請求項 2 記載の半導体装置であって、
前記再配線基板のボンディングパッドは、前記接地パターンと前記電源パターンとが形成された層とは異なる層に形成されることを特徴とする半導体装置。

【請求項 5】 請求項 1 乃至 4 のうちいずれか一項記載の半導体装置であって、
前記接地パターンと前記電源パターンの各々はボンディングワイヤにより前記半導体装置の電極パッドに接続され、該ボンディングワイヤは前記凸部に接続されることを特徴とする半導体装置。

【請求項 6】 請求項 1 乃至 5 のうちいずれか一項記載の半導体装置であって、
前記接地パターンと前記電源パターンの少なくとも一方は、リング形状の一部が除去された形状であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置に係り、特に半導体素子の周囲に電源リングと接地リングとが設けられた半導体装置に関する。近年、半導体素子の高密度化が進み、半導体素子の電極数は益々増加している。これに伴い、半導体装置に供給される多数の信号が同時に ON となったり OFF となったりした場合に発生するノイズを低減する対策への必要性が高まっている。このようなノイズは同時スイッチングノイズと称され、特に電源リングと接地リングとの電気的な結合が強い場合に大きなスイッチングノイズによる影響が大きい。

【0002】

【従来の技術】 図 1 は従来の半導体装置の電源リングと接地リングを示す平面図である。図 1 において、半導体素子 1 はインターポーザ（再配線基板）6 に搭載されている。インターポーザ 6 上において、半導体素子 1 の周辺には、半導体素子 1 を包囲するように接地リング 2 が形成されている。また、接地リング 2 の周囲には、所定の間隔をおいて電源リング 3 が形成されている。そして、電源リング 3 の外側に複数のボンディングパッド 4 が形成されている。

【0003】 半導体素子 1 の所定の電極パッド 1 a は、インターポーザ 6 に形成されたボンディングパッド 4 にボンディングワイヤ 5 により電気的に接続される。また、半導体素子 1 の他の電極パッド 1 a は、ボンディングワイヤ 5 により接地リング 2 に接続されて接地される。さらに、半導体素子 1 の他の電極パッド 1 a は、ボンディングワイヤ 5 により電源リング 3 に接続されて電源が供給される。

【0004】 図 2 は図 1 に示す半導体装置の一部拡大平面図である。図 2 に示すようにボンディングパッド 4 の各々は、半導体素子 1 の対応する電極パッド 1 a にボンディングワイヤ（金属ワイヤ）5 により接続される。また、半導体素子 1 の所定の電極 1 a は同じくボンディングワイヤ 5 により電源リング 3 に接続される。電源リング 3 には、例えば 3 V の電圧が供給されており、この電源リング 3 から半導体素子 1 の所定の電極パッド 1 a に電源電圧（例えば 3 V）が供給される。同様に、半導体素子 1 の所定の電極パッド 1 a はボンディングワイヤ 5 により接地リング 2 に接続されている。接地リング 2 は接地ラインに接続されるため、接地リング 2 に接続された電極パッド 1 a は接地される。

【0005】 上述の従来の半導体装置では、半導体素子 1 の四辺の周囲に電極パッド 1 a が配列されており、接地リング 2 と電源リング 3 とは半導体素子 1 を包囲するように略四角形の帯状に連続して形成され、それらの間には規則性のない間隙が設けられている。このような構成において、接地リング 2 は接地され、かつ電源リング 3 には所定の電源電圧が供給される。このため、接地リング 2 と電源リング 3 との間に電圧差が生じ、接地リング 2 と電源リング 3 との間に容量結合が行われる。この容量結合は、一般にデカップリング容量と称され、接地リング 2 と電源リング 3 との電気的結合度を表す。

【0006】

【発明が解決しようとする課題】 半導体装置の高機能化、高速化により半導体素子の I/O 数の増加や周波数の増加が進み、それに伴い、同時スイッチングノイズ、反射ノイズ、外来ノイズといったノイズが問題となってくる。特に、接地電位と電源電位の電気的な結合が弱いと上述のノイズの影響を大きく受ける状態となる。接地リング 2 及び電源リング 3 の電位の変動は、上述の同時

3

スイッチングノイズ、反射ノイズ、外来ノイズ等により引き起こされる。接地リング 2 の電位の変動はグラウンドバウンズと称され、電源リングの電位の変動は電源バウンズと称される。上述の同時スイッチングノイズ、反射ノイズ、外来ノイズ等が大きくなると、電源バウンズやグラウンドバウンズが大きくなり、半導体装置の誤作動を引き起こす原因となる。

【0007】また、半導体装置のサイズが縮小すると、半導体素子 1 の電極パッド 1 a と接地リング 2 との間隔が狭まる。同様に、電極パッド 1 a と電源リング 3 との間隔、及び電極パッド 1 a とボンディングパッド 4 との間隔も狭まる。従来の半導体装置では、図 2 に示すように、半導体素子 1 の電極パッド 1 a からは、接地リング 2 と電源リング 3 とパッドボンディングパッド 4 との各々に対してボンディングワイヤ 5 が張られていた。すなわち、電極パッド 1 a から異なる 3 つの距離の位置（接続点）に対してボンディングワイヤ 5 が張られていた。このように異なる位置に対して隣接してボンディングワイヤ 5 を接続する構成では、隣接するボンディングワイヤ 5 が接触するおそれがあるため、異なる接続点間にある程度の距離を設ける必要がある。しかし、半導体装置のサイズが縮小されるのに伴い、この接続点間の距離は十分にとれなくなってきた。

【0008】さらに、半導体素子 1 の電極パッド 1 a の数が増加すると、電極パッド 1 a と接続するボンディングパッドの数も多くなる。したがって、ボンディングパッド 4 同士の間隔が狭まって、隣接するボンディングパッド 4 間に発生するクロストークノイズ（電磁誘導ノイズ）が大きくなる。特に、ボンディングワイヤ 5 の接続点においては大きなクロストークノイズが発生し、クロストークノイズにより半導体装置が誤作動を起こすおそれがある。

【0009】本発明は上記の点に鑑みてなされたものであり、接地リングと電源リング間のデカップリング容量を増大して、同時スイッチングノイズ等の影響を減少した半導体装置を提供することを目的とする。

【0010】

【課題を解決するための手段】上記の課題は、次に述べる各手段を講じることにより解決することができる。請求項 1 記載の発明は、半導体素子と、該半導体素子が搭載された再配線基板と、該再配線基板上で前記半導体素子の周囲に設けられた接地パターン及び電源パターンとよりなり、前記接地パターンと前記電源パターンの一方は他方に向かって突出した複数の凸部を有し、前記接地パターンと前記電源パターンの他方は前記突出部の各々を所定距離離間した状態で受容する凹部を有する構成とする。

【0011】請求項 2 記載の発明は、請求項 1 記載の半導体装置であって、前記接地パターンと前記電源パターンとの各々は前記半導体素子を包囲するように形成さ

4

れ、前記再配線基板のボンディングパッドは前記接地パターンと前記電源パターンに関して前記半導体素子の反対側に配列され、前記凸部及び前記凹部は前記半導体素子の電極パッドと前記再配線基板のボンディングパッドとの間に設けられる構成とする。

【0012】請求項 3 記載の発明は、請求項 2 記載の半導体装置であって、前記接地パターンと前記電源パターンのうち、前記再配線基板のボンディングパッドに近接した一方は、隣接した前記ボンディングパッドの間に延出するシールド部を有する構成とする。請求項 4 記載の発明は、請求項 2 記載の半導体装置であって、前記再配線基板のボンディングパッドは、前記接地パターンと前記電源パターンとが形成された層とは異なる層に形成されることを特徴とする半導体装置。

【0013】請求項 5 記載の発明は、請求項 1 乃至 4 のうちいずれか一項記載の半導体装置であって、前記接地パターンと前記電源パターンの各々はボンディングワイヤにより前記半導体装置の電極パッドに接続され、該ボンディングワイヤは前記凸部に接続される構成とする。

【0014】請求項 6 記載の発明は、請求項 1 乃至 5 のうちいずれか一項記載の半導体装置であって、前記接地パターンと前記電源パターンの少なくとも一方は、リング形状の一部が除去された形状である構成とする。上述の各手段は次のように作用する。

【0015】請求項 1 記載の発明によれば、接地パターンと電源パターンの一方は他方に向かって突出した複数の凸部を有し、接地パターンと電源パターンの他方は突出部の各々を所定距離離間した状態で受容する凹部を有するため、接地リングと電源リングの間の間隙の長さが増大する。これにより、接地リングと電源リングとの間のデカップリング容量が増大し、同時スイッチングノイズや外来ノイズに起因した電源バウンズやグラウンドバウンズを抑制することができる。したがって、同時スイッチングノイズによる半導体装置の誤動作を防止することができる。

【0016】請求項 2 記載の発明によれば、半導体素子の周囲に接地リング及び電源リングを配置し、且つボンディングパッドをその外側に配置するため、半導体素子とボンディングパッドと効率良くハイチすることができる。また、電源リング又は接地リングの凸部が半導体素子の電極パッドと再配線基板のボンディングパッドとの間に設けられるため、ボンディングワイヤを使用した場合、接地リング又は電源リングの凸部に接続することができる。これにより、再配線基板のボンディングパッド上の接続位置と、接地リング又は電源リング上の接続位置との距離を増大することができ、隣接するボンディングワイヤの接触を防止することができる。

【0017】請求項 3 記載の発明によれば、接地パターンと電源パターンのうち、再配線基板のボンディングパッドに近接した一方に、隣接するボンディングパッドの

間に延出するシールド部が設けられるため、隣接するボンディングパッド同士がシールドされる。したがって、隣接するボンディングパッドの間でのクロストークノイズの発生を防止できる。

【0018】請求項4記載の発明によれば、再配線基板のボンディングパッドは、接地パターンと電源パターンとが形成された層とは異なる層に形成されるため、隣接したボンディングパッドの上下方向の距離を増大することができ、ボンディングワイヤ同士の接触を防止することができる。請求項5記載の発明によれば、接地パターンと電源パターンの各々はボンディングワイヤにより半導体装置の電極パッドに接続され、ボンディングワイヤは凸部に接続されるため、再配線基板のボンディングパッド上の接続位置と接地リング又は電源リング上の接続位置との距離を増大することができ、ボンディングパッドに接続されたボンディングワイヤと接地リング又は電源リングに接続されたボンディングワイヤとの接触を防止することができる。

【0019】請求項6記載の発明によれば、接地パターンと電源パターンの少なくとも一方は、リング形状の一部が除去された形状であるため、除去された部分にワイヤボンディングの際に位置決め用マークとして使用する認識マーク等を設けることができる。

【0020】

【発明の実施の形態】次に、本発明の実施の形態について図面と共に説明する。図3は本発明の第一の実施の形態による半導体装置の接地リングと電源リングを示す平面図である。図3において、図1に示された構成部品と同じ部品には同じ符号を付す。

【0021】図3に示す半導体装置において、半導体素子1はインターポーザ（再配線基板）6に搭載される。インターポーザ6上において、半導体素子1の周辺には、半導体素子1を包囲するように接地リング2が形成される。また、接地リング2の周囲には、所定の間隔において電源リング3が形成される。電源リング3の外側には、複数のボンディングパッド4が配置される。

【0022】半導体素子1は複数の電極パッド1aを有しており、電極パッド1aのうち所定の電極パッド1aは、インターポーザ6に形成されたボンディングパッド4にボンディングワイヤ5により電気的に接続される。また、半導体素子1の他の電極パッド1aは、ボンディングワイヤ5により接地リング2に接続されて接地される。さらに、半導体素子1の他の電極パッド1aは、ボンディングワイヤ5により電源リング3に接続されて電源が供給される。

【0023】図3に示した半導体装置では、半導体素子1の四辺の周囲に電極パッド1aが配列されており、接地リング2と電源リング3とは半導体素子1を包囲するように略四角形の帯状に連続して形成され、それらの間には所定の間隔（ $10\mu\text{m}\sim 150\mu\text{m}$ ）が設けられ

る。本実施の形態では、電源リング3と接地リング2との対向する部分において、電源リング3に複数の凸部3aが設けられる。凸部3aの各々は接地リング2に向かって突出しており、接地リング2には電源リング3の凸部3aの各々を受容する凹部2aが設けられる。電源リング3の凸部3aの各々と接地リング2の対応する凹部2aとの間には所定の間隙（ $10\mu\text{m}\sim 150\mu\text{m}$ ）が設けられる。したがって、接地リング2と電源リング3とが対向する部分には、図3に点線で囲んだ部分のように櫛形状部又は入れ子形状部7が形成される。

【0024】櫛形状部又は入れ子形状部7が形成されることにより、接地リング2と電源リング3との対向する部分の長さが増大する。すなわち、櫛形状部又は入れ子形状部7が形成されることにより、電源リング3の凸部3aと接地リング2の凹部2aとの間に形成された間隙の長さだけ、接地リング2と電源リング3の間の間隙の長さが長くなる。したがって、接地リング2と電源リング3との間のデカップリング容量が増大し、これにより、接地リング2と電源リング3との電気的な結合は強くなる。したがって、同時スイッチングノイズや外来ノイズに起因した電源バウンスやグラウンドバウンスを抑制することができ、半導体装置の誤動作を防止することができる。

【0025】図4は図3に示す半導体装置の一点鎖線で囲んだ部分の拡大図である。図4に示すようにボンディングパッド4の各々は、半導体素子1の対応する電極パッド1aにボンディングワイヤ（金属ワイヤ）5により接続される。また、半導体素子1の所定の電極1aは同じくボンディングワイヤ5により電源リング3の凸部3aに接続される。電源リング3には例えば3Vの電圧が供給され、この電源リング3から半導体素子1の所定の電極パッド1aに電源電圧（例えば3V）が供給される。同様に、半導体素子1の所定の電極パッド1aはボンディングワイヤ5により接地リング2に接続される。接地リング2は接地ラインに接続されるため、接地リング2に接続された電極パッド1aは接地される。

【0026】上述の構成において、ボンディングワイヤ5の電源リング3への接続は、電源リングの凸部3aにおいて行うことにより、半導体素子1の電極パッド1aから接地リング2へのボンディングワイヤ5の接続点間での距離と、電極パッド1aから電源リング3へのボンディングワイヤ5の接続点までの距離とを等しくすることができる。すなわち、接地リング2での接続点と電源リング3での接続点とを、ボンディングパッド4の配列方向に沿って一列に整列させることができる。この場合、ボンディングワイヤ5の接続点が配置される列は、ボンディングパッド4における接続点の列（図4において符号8で示された点線の列）と、接地リング2と電源リング3における接続点の列（図4において符号9で示された点線の列）の、合計二列となる。

【0027】このような構成によれば、接地リング2及び電源リング3におけるボンディングワイヤ5の接続点と、ボンディングパッド4におけるボンディングワイヤ5の接続点との距離を大きくすることができ、隣接したボンディングワイヤ5の接触を防止することができる。図5は上述のようにボンディングワイヤ5の接続点を二列にした場合のボンディングワイヤを側面から見た図である。図5中、従来のようにボンディングワイヤの接続点の列を3列とした場合における電源リングに接続されるボンディングワイヤを点線で示す。ボンディングワイヤ5の接続点の列を二列にすると、接続点の列の間の距離を3列の場合よりも大きくとることができ、隣接するボンディングワイヤ5の上下方向の距離(図中矢印にて示す)を大きくとることができる。このため、隣接するボンディングワイヤ5の上下方向の距離が小さくなって接触するというような問題を防止することができる。

【0028】図6は本実施の形態による半導体装置の変形例を示す図である。図6に示す変形例では、インターポーザ6は積層構造よりなり、接地リング2と電源リング3は、ボンディングパッド4が形成される層より低い層に形成される。したがって、ボンディングパッド4に接続されるボンディングワイヤ5と接地リング2及び電源リング3に接続されるボンディングワイヤ5との上下方向の距離(図中矢印で示す)は、図5に示す場合よりもさらに大きくとることができる。したがって、隣接するボンディングワイヤ5の上下方向の距離が小さくなって接触するような問題を確実に防止することができる。

【0029】次に、図7を参照しながら、本発明の第2の実施の形態について説明する。図7は本発明の第2の実施の形態による半導体装置の接地リング及び電源リングを示す平面図である。図7において、図3に示す構成部品と同じ部品には同じ符号を付し、その説明は省略する。本発明の第2の実施の形態による半導体装置は、上述の第1の実施の形態による半導体装置と基本的に同じ構成を有するが、相違点は隣接するボンディングパッドの間に延出したシールド部3bを有する点である。すなわち、図7に示すように、電源リング3には隣接する所定のボンディングパッドの間に延在するシールド部3bが設けられる。

【0030】図8は、図7の一点鎖線で囲まれた部分の拡大図である。図8に示すように、シールド部3bはボンディングパッドのボンディングワイヤ5が接続される接続点を越えて延在する。ボンディングワイヤ5の接続点は、特性インピーダンスの大きな不連続点であり、このような点では電気信号が反射されやすく、クロストークノイズが発生しやすい。本実施の形態では、隣接するボンディングパッド4の間で特にクロストークノイズが発生しやすい接続点の間に電源リング3に接続したシールド部3bが設けられるため、接続点はシールド部3bによりシールドされ、クロストークノイズの発生が低減

される。したがって、本実施の形態による半導体装置において、ボンディングパッド間のクロストークによる誤動作を防止することができる。

【0031】また、本実施の形態において、電源リング3に対するボンディングワイヤ5の接続は、上述の第1の実施の形態のように電源リング3の凸部3aに対して行ってもよいし、また、シールド部3bに対して行ってもよい。シールド部3bにボンディングワイヤ5を接続する場合は、ボンディングパッド4の接続点の列に整列するように接続することにより、二列の接続を維持することができる。

【0032】次に、図9及び図10を参照しながら本発明の第3の実施の形態について説明する。図9及び図10は本発明の第3の実施の形態による半導体装置の接地リング及び電源リングを示す平面図である。図9及び図10において、図3に示す構成部品と同じ部品には同じ符号を付し、その説明は省略する。本実施の形態による半導体装置は、基本的に上述の第1の実施の形態による半導体装置と同じ構成を有するが、相違点は接地リング又は電源リングが連続した帯状ではなく、少なくとも一箇所が途切れていることである。

【0033】図9に示す半導体装置では、電源リング3の略四角形状の角部が除去されて4つの部分に分割される。電源リング3が除去された部分には、ボンディングワイヤ5を接続する際に位置決め基準とされる認識マーク10が形成される。このように、電源リング3は必ずしも連続したリング(帯状)とする必要はなく、その一部が除去されたものであってもよいし、また、複数に分割されたものであってもよい。

【0034】また、図10に示す半導体装置では、接地リング2の略四角形状の角部が除去されて4つの部分に分割される。接地リング2が除去された部分には、ボンディングワイヤ5を接続する際に位置決め基準とされる認識マーク10が形成される。このように、接地リング3は必ずしも連続したリング(帯状)とする必要はなく、その一部が除去されたものであってもよいし、また、複数に分割されたものであってもよい。

【0035】上述の各実施の形態では、接地リング2の周囲に電源リング3を設けたが、本発明はこれに限定されることなく、半導体装置1の周囲に電源リング3を設け、その周囲に接地リング2を設けることとしてもよい。この場合、接地リングに凸部を設け、電源リングに凹部を設けることにより、櫛形形状部又は入れ子形状部7が形成される。また、図7に示されるシールド部は接地リングに設けられる。

【0036】また、上述の各実施の形態では、電源リング3の凸部3aは長方形であるが、本発明はこれに限られず、様々な形状とすることができる。例えば、図11に示すように、凸部3aの先端を根元より大きくすることにより、接地リング2と電源リング3との間の間隙の

長さをより長くしてデカップリング容量をより大きくすることもできる。

【0037】

【発明の効果】上述のように、請求項1記載の発明によれば、接地パターンと電源パターンの一方は他方に向かって突出した複数の凸部を有し、接地パターンと電源パターンの他方は突出部の各々を所定距離離開した状態で受容する凹部を有するため、接地リングと電源リングの間の間隙の長さが増大する。これにより、接地リングと電源リングとの間のデカップリング容量が増大し、同時

スイッチングノイズや外来ノイズに起因した電源バウンズやグラウンドバウンズを抑制することができる。したがって、同時スイッチングノイズによる半導体装置の誤動作を防止することができる。

【0038】請求項2記載の発明によれば、半導体素子の周囲に接地リング及び電源リングを配置し、且つボンディングパッドをその外側に配置するため、半導体素子とボンディングパッドと効率良くハイチすることができる。また、電源リング又は接地リングの凸部が半導体素子の電極パッドと再配線基板のボンディングパッドとの間に設けられるため、ボンディングワイヤを使用した場合、接地リング又は電源リングの凸部に接続することが

できる。これにより、再配線基板のボンディングパッド上の接続位置と、接地リング又は電源リング上の接続位置との距離を増大することができ、隣接するボンディングワイヤの接触を防止することができる。

【0039】請求項3記載の発明によれば、接地パターンと電源パターンのうち、再配線基板のボンディングパッドに近接した一方に、隣接するボンディングパッドの間に延出するシールド部が設けられるため、隣接するボンディングパッド同士がシールドされる。したがって、隣接するボンディングパッドの間でのクロストークノイズの発生を防止できる。

【0040】請求項4記載の発明によれば、再配線基板のボンディングパッドは、接地パターンと電源パターンとが形成された層とは異なる層に形成されるため、隣接したボンディングパッドの上下方向の距離を増大することができ、ボンディングワイヤ同士の接触を防止することができる。請求項5記載の発明によれば、接地パターンと電源パターンの各々はボンディングワイヤにより半導体装置の電極パッドに接続され、ボンディングワイヤは凸部に接続されるため、再配線基板のボンディングパッド上の接続位置と接地リング又は電源リング上の接続

位置との距離を増大することができ、ボンディングパッドに接続されたボンディングワイヤと接地リング又は電源リングに接続されたボンディングワイヤとの接触を防止することができる。

【0041】請求項6記載の発明によれば、接地パターンと電源パターンの少なくとも一方は、連続した形状の一部が除去された形状であるため、除去された部分にワイヤボンディングの際に位置決め用マークとして使用する認識マーク等を設けることができる。

10 【図面の簡単な説明】

【図1】従来の半導体装置の接地リングと電源リングを示す平面図である。

【図2】図1に示す従来の半導体装置の一部拡大平面図である。

【図3】本発明の第1の実施の形態による半導体装置の接地リングと電源リングを示す平面図である。

【図4】図3に示す半導体装置の一部拡大平面図である。

【図5】図3に示す半導体装置の側面図である。

20 【図6】図3に示す半導体装置の変形例の側面図である。

【図7】本発明の第2の実施の形態による半導体装置の接地リングと電源リングを示す平面図である。

【図8】図7に示す半導体装置の一部拡大平面図である。

【図9】本発明の第3の実施の形態による半導体装置の一例の接地リングと電源リングを示す平面図である。

【図10】本発明の第3の実施の形態による半導体装置の他の接地リングと電源リングを示す平面図である。

30 【図11】電源リングの凸部の変形例を示す平面図である。

【符号の説明】

1 半導体素子

2 接地リング

2 a 凹部

3 電源リング

3 a 凸部

3 b シールド部

4 ボンディングパッド

40 5 ボンディングワイヤ

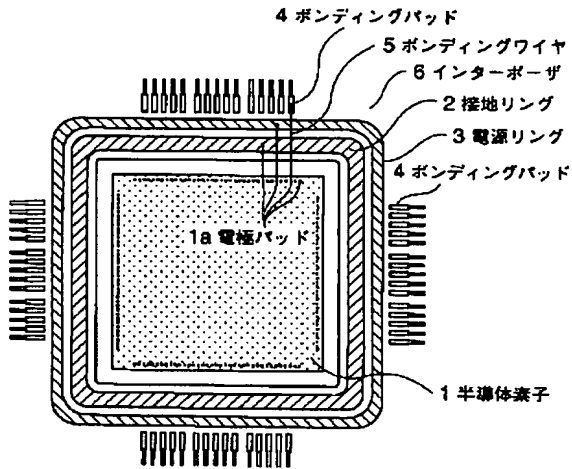
6 インターポーザ

7 櫛形状部

10 認識マーク

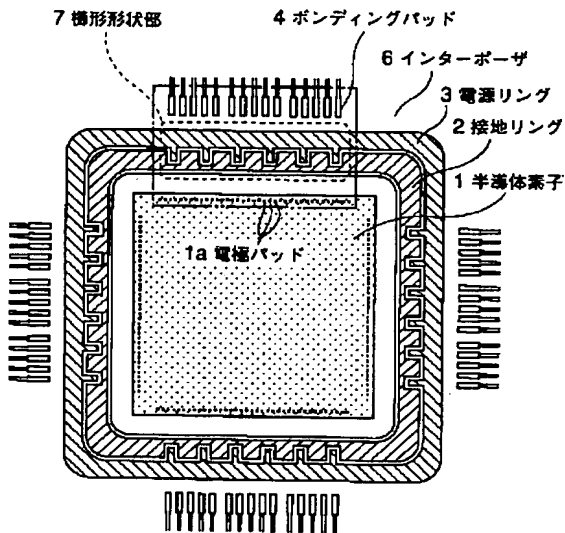
【図 1】

従来の半導体装置の接地リングと電源リングを示す平面図



【図 3】

本発明の第 1 の実施の形態による半導体装置の接地リングと電源リングを示す平面図



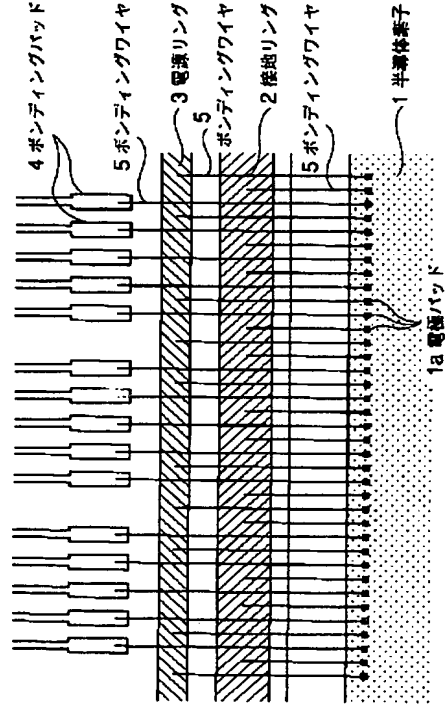
【図 11】

電源リングの凸部の変形例を示す平面図



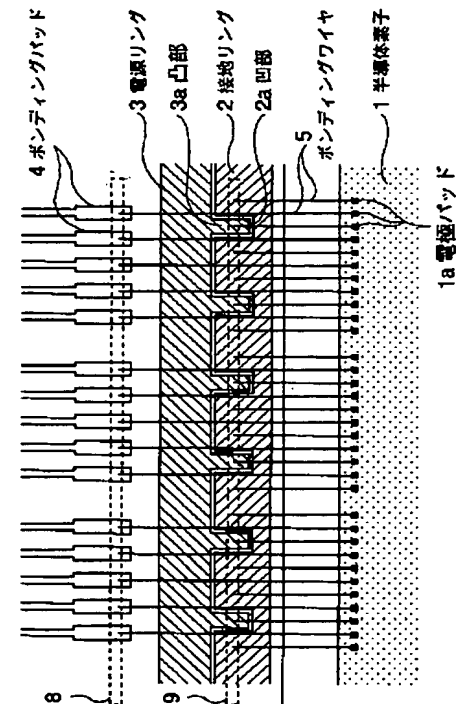
【図 2】

図 1 に示す従来の半導体装置の一部拡大平面図



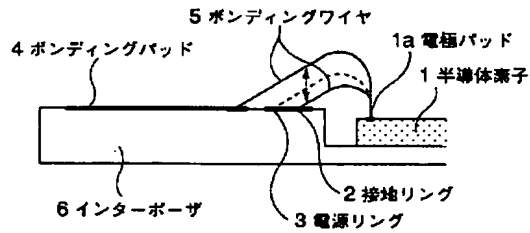
【図 4】

図 3 に示す半導体装置の一部拡大平面図



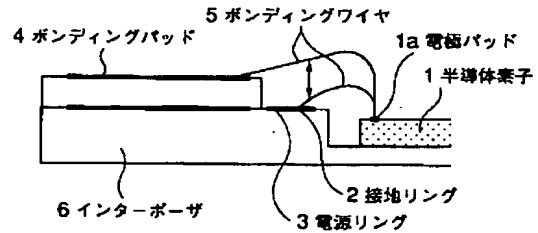
【図5】

図3に示す半導体装置の側面図



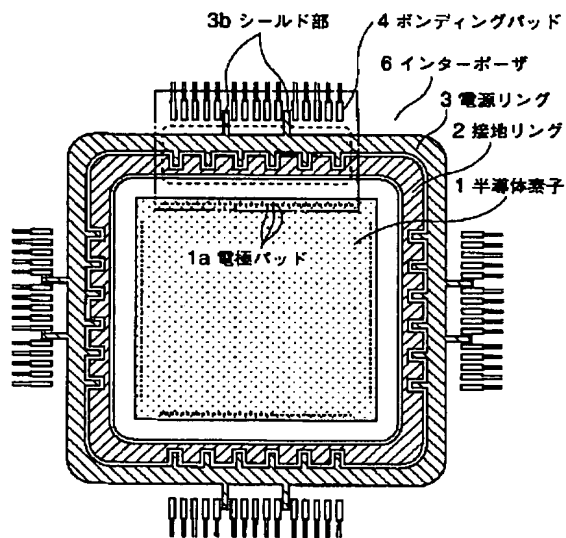
【図6】

図3に示す半導体装置の変形例の側面図



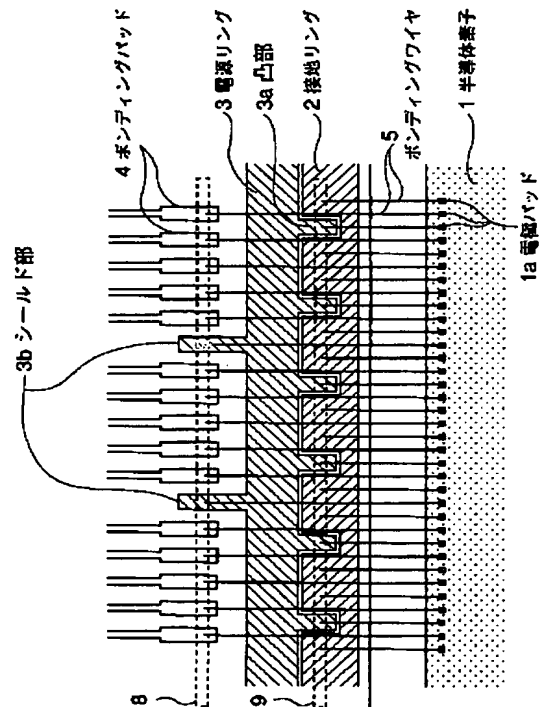
【図7】

本発明の第2の実施の形態による半導体装置の接地リングと電源リングを示す平面図



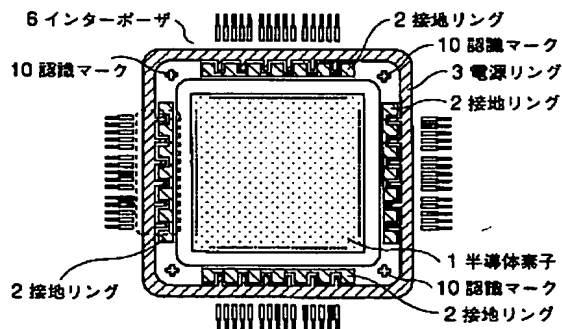
【図8】

図7に示す半導体装置の一部拡大図



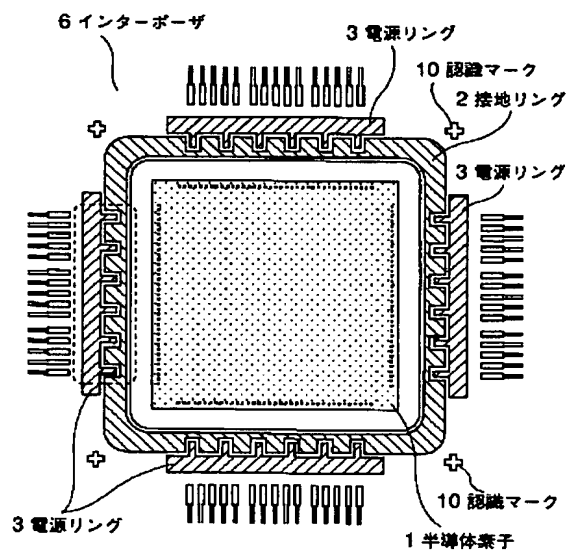
【図10】

本発明の第3の実施の形態による半導体装置の他の例の接地リングと電源リングを示す平面図



【図 9】

本発明の第3の実施の形態による半導体装置の一例の接地リングと電源リングを示す平面図



フロントページの続き

(72) 発明者 加藤 禎胤
神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号 富士通株式会社内

(72) 発明者 細山田 澄和
神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号 富士通株式会社内